실험 9 보고서

2017-13846 양준엽

1. 실험 목적

입력과 응답 사이의 진폭 비와 위상차는 주파수마다 다르게 나타나게 된다. 그렇기에 주파수에 따라 회로 응답이 변화하는 양상을 확인하고, 페이저와 임피던스를 이용해 분석한다. 정현파 전원을 입력으로 받는 RC회로, RL회로, RLC 직렬 공진 회로의 회로망 함수를 계산하고, 실험을 진행해 각 회로의 보드 플롯을 작성하고자 한다.

1. 배경 이론

회로의 입력과 출력을 페이저로 각각 X(w), Y(w)로 나타낼 때, 이들의 비 H(w)=Y(w)/X(w) 를 이 회로의 회로망 함수라고 부른다. |H(w)| 은 입력과 출력의 진폭 비로, 이 회로의 gain 이라고 한다. H(w)의 위상각은 입력과 출력의 위상차를 나타내며, 이를 이 회로의 phase shift 라고 부른다.

보드 플롯은 주파수에 따른 회로의 gain 과 phase shift 를 도식화한 그래프로, 각각 보드 크기 플롯과 보드 위상 플롯이라고 부른다. 가로축은 주파수를 log scale 로 나타내며, 회로망 함수를 H로 표기할 때 세로축은 크기 플롯의 경우 20logH로서 log scale을, 위상 플롯의 경우 phi을 linear scale로 나타낸다.

특정한 w값을 기준으로 w에 의존하는 양상이 달라지게 되는데 그 w를 코너 주파수 또는 절점 주파수라고 하며 이것은 보드 크기 플롯을 asymptotic 하게 나타낼 때 두 점근선이 만나는 교점의 주파수이다. 한편 |H(w)|가 최댓값의 1/루트2 배가 되므로 이를 반전력 주파수라고 부르기도 한다.

참고 문헌

Richard C. Dorf, James A. Svobada, "Introduction to Electric Circuits,” John Wiley & Sons, 2013.